



# BREVET D'INVENTION

## CERTIFICAT D'UTILITE

### Réception électronique de la soumission

Il est certifié par la présente qu'une demande de brevet (ou d'un certificat d'utilité) a été reçue par le biais du dépôt électronique sécurisé de l'INPI. Après réception, un numéro d'enregistrement et une date de réception ont été automatiquement attribués.

Numéro de demande	0851672	
Numéro de soumission	1000026567	
Date de réception	14 mars 2008	
Vos références	BFF 08P0103/HC	
Demandeur	CENTRE NATIONAL DE LA RECHERCHE SCIENTIFIQUE (C.N.R.S)	
Pays	FR	
Titre de l'invention	PROCÉDÉ ET DISPOSITIF DE CODAGE, SYSTÈME ÉLECTRONIQUE ET SUPPORT D'ENREGISTREMENT ASSOCIÉS.	
Documents envoyés	package-data.xml request.xml application-body.xml textebrevet.pdf (19 p.) Design.PDF (1 p.) Requetefr.PDF (2 p.)	FR-office-specific-info.xml fee-sheet.xml indication-bio-deposit.xml dessins.pdf (5 p.) ValidLog.PDF (1 p.)
Déposé par	CN=Bertrand DOMENEGO,O=CABINET LAVOIX,C=FR	
Méthode de dépôt	Dépôt électronique	
Date et heure de réception électronique	14 mars 2008, 15:03:13 (CET)	
Empreinte officielle du dépôt	F8:A3:94:A4:C0:F4:18:78:68:DD:AA:B2:AE:90:4A:DF:BB:D7:55:45	

## **Procédé et dispositif de codage, système électronique et support d'enregistrement associés.**

La présente invention concerne un procédé et un dispositif de codage de bits.

La consommation électrique des systèmes électroniques a considérablement augmenté. Celle-ci résulte d'une part de l'accroissement de la puissance de calcul nécessaire pour effectuer des tâches complexes et d'autre part du nombre toujours plus important de données à traiter. En effet, lorsqu'un système électronique traite un nombre important de données, l'activité sur les interconnexions augmente, ce qui a pour effet d'augmenter significativement la consommation électrique du système électronique. A cet effet, des études montrent que, dans les systèmes sur puces actuels, les interconnexions représentent jusqu'à 60% de la consommation totale de la puce.

De nombreux travaux de recherche portent sur l'optimisation de la consommation des interconnexions, notamment par l'introduction de codeurs - décodeurs dans les systèmes électroniques.

Par exemple, la technique dite du « partial bus invert », décrite dans le document intitulé Partial bus invert coding for power optimization of system level bus ; Y. Shin, S.IK Chae and K. Choi ; In processing of the 1998 international symposium on low power electronics and design (ISLPED) ; en pages 127-129 New York USA, 1998 ACM Press, consiste à comparer le nombre de bits changeant entre une donnée  $n-1$  au cycle d'horloge  $t-1$  et une donnée  $n$  au cycle d'horloge  $t$ . Si cette différence généralement appelée distance de Hamming est supérieure à la moitié de la largeur du bus, alors la donnée envoyée au cycle d'horloge  $t$  sera la donnée complémentée.

Néanmoins, l'implantation de ces techniques nécessite l'ajout de transistors, registres et fils électriques supplémentaires, qui entraîne une nouvelle augmentation de l'énergie électrique consommée de sorte que le surcoût en consommation électrique générée par ces composants électroniques est parfois équivalent ou même plus important que le gain en consommation électrique réalisé sur l'interconnexion.

L'invention a pour but un codeur - décodeur et un procédé de codage - décodage alternatif offrant un gain de consommation électrique sur

l'interconnexion tout en introduisant un surcoût minimum de consommation électrique.

A cet effet, l'invention a pour objet un codeur comprenant une première et une deuxième entrées destinées à être connectées à un conducteur électrique de bits de poids faible et respectivement à un conducteur électrique de bits de poids fort, une première et une deuxième sorties destinées à être connectées à un conducteur électrique de bits de poids faible et respectivement à un conducteur électrique de bits de poids fort, le codeur comportant un bloc de sélection apte à sélectionner un bit de poids fort et un bit de poids faible, caractérisé en ce que le codeur comprend :

- un bloc de commutation apte à relier d'une part la première entrée à la première sortie, et d'autre part la deuxième entrée à la deuxième sortie, le bloc de commutation étant apte à être commuté pour relier la première entrée à la deuxième sortie et la deuxième entrée à la première sortie, lorsque le bloc de sélection a sélectionné un bit de poids faible et un bit de poids fort ; et

- des moyens de transmission d'un signal d'avertissement d'une transmission inversée de bits.

Suivant des modes particuliers de réalisation, le codeur comporte l'une ou plusieurs des caractéristiques suivantes prises isolément ou en combinaison :

- le bloc de sélection comprend :

- une première unité de sélection apte à sélectionner au moins un bit de poids fort du cycle d'horloge  $t$  ayant une valeur différente de la valeur du bit du cycle d'horloge  $t-1$  transmis par la première sortie ;

- une deuxième unité de sélection apte à sélectionner au moins un bit de poids faible du cycle d'horloge  $t$  ayant, une valeur différente de la valeur du bit du cycle d'horloge  $t-1$  transmis après la deuxième sortie ; et

- une troisième unité de sélection apte à sélectionner parmi les bits sélectionnés par la première et la deuxième unités de sélection, un bit de poids fort et un bit de poids faible, le bit de poids fort du cycle d'horloge  $t$  ayant une valeur différente de la valeur du bit de poids faible du cycle d'horloge  $t$  ;

- la première unité de sélection comprend une première porte logique connectée à la première entrée du codeur, et un premier registre connecté à la

première sortie du codeur et à la première porte logique, le premier registre étant apte à mémoriser la valeur du bit du cycle d'horloge  $t-1$  transmis par la première sortie, la première porte logique étant apte à comparer la valeur du bit mémorisé dans le registre au bit de poids fort du cycle d'horloge  $t$  reçu par la première entrée ;

- la deuxième unité de sélection comprend une deuxième porte logique connectée à la deuxième entrée du codeur, et un deuxième registre connecté à la deuxième sortie du codeur et à la deuxième porte logique, le deuxième registre étant apte à mémoriser la valeur du bit du cycle d'horloge  $t-1$  transmis par la deuxième sortie, la deuxième porte logique étant apte à comparer la valeur du bit mémorisé dans le registre à la valeur du bit de poids fort du cycle d'horloge  $t$  reçu par la deuxième entrée ;

- la troisième unité de sélection comporte :

- une troisième porte logique connectée à la première et à la deuxième entrées du codeur, la troisième porte logique étant apte à comparer, la valeur du bit de poids faible du cycle d'horloge  $t$  à la valeur du bit de poids fort du cycle d'horloge  $t$  ; et

- une quatrième porte logique connectée aux première, deuxième et troisième unités de sélection, ladite quatrième porte logique étant propre à générer un bit de valeur prédéfinie lorsque les première, deuxième et troisième unités de sélection ont sélectionné un bit de poids fort et un bit de poids faible au cycle d'horloge  $t$  ;

- le bloc de sélection est apte à générer un bit de valeur prédéfinie lorsqu'il sélectionne un bit de poids faible et un bit de poids fort, le bloc de commutation comportant un premier et un deuxième connecteurs, la commutation desdits connecteurs étant commandée par le bit généré le bloc de sélection ; et

- les moyens de transmission comportent un moyen de connexion destiné à être connecté à un conducteur électrique supplémentaire, ledit moyen de connexion étant relié à la sortie du bloc de sélection, le signal d'avertissement étant un bit de valeur prédéfinie généré par le bloc de sélection.

L'invention concerne également un décodeur destiné à décoder les bits codés par le codeur du type précité, le décodeur comprenant une première et une deuxième entrées destinées à être connectées à un conducteur électrique de bits

de poids faible et respectivement à un conducteur de bits poids fort, une première et une deuxième sorties destinées à être connectées à un conducteur électrique de bits de poids faible et respectivement d'un conducteur de bits de poids fort, caractérisé en ce qu'il comprend un bloc de commutation apte à relier d'une part la première entrée à la première sortie, et d'autre part la deuxième entrée à la deuxième sortie, le bloc de commutation étant apte à être commuté pour relier la première entrée à la deuxième sortie et la deuxième entrée à la première sortie, lorsque le bloc de commutation réceptionne un signal d'avertissement d'une transmission inversée de bits du codeur, ledit signal d'avertissement étant transmis par le codeur.

En variante, le bloc de commutation comporte un premier et un deuxième connecteurs ayant chacun une électrode de commande destinée à être commandée par le signal d'avertissement transmis par le codeur.

Par ailleurs, l'invention a également pour objet un système électronique comprenant au moins un codeur et un décodeur du type précité, et un bus de données comprenant au moins  $2n$  conducteurs électriques,  $n$  étant un entier naturel, au moins deux conducteurs électriques de bits de poids les plus faibles du bus de données étant connectés à un ou chaque codeur et au décodeur.

L'invention a également pour objet un procédé de codage de bits transmis par au moins un premier et un deuxième conducteurs électriques aptes à transmettre des bits de poids fort et respectivement des bits de poids faible, le procédé comprenant une étape de sélection au cycle d'horloge  $t$  d'un bit de poids faible et d'un bit de poids fort, caractérisé en ce qu'il comprend en outre les étapes suivantes :

- transmettre le bit de poids fort et le bit de poids faible sélectionnés sur le deuxième et respectivement le premier conducteurs électriques ; et
- transmettre un signal d'avertissement d'une transmission inversée de bits.

En variante, l'étape de sélection comprend les étapes suivantes :

- a) sélectionner au moins un bit de poids faible du cycle d'horloge  $t$  ayant une valeur différente de la valeur d'un bit de poids faible du cycle d'horloge  $t-1$  ;
- b) sélectionner au moins un bit de poids fort du cycle d'horloge  $t$  ayant une valeur différente de la valeur d'un bit de poids fort du cycle d'horloge  $t-1$  ;

c) parmi les bits sélectionnés aux étapes a) et b), sélectionner un bit de poids faible et un bit de poids fort, le bit de poids fort du cycle d'horloge t ayant une valeur différente du bit de poids faible du cycle d'horloge t.

5 En outre, l'invention a également pour objet un procédé de décodage de bits codés selon le procédé de codage du type précité, dans lequel des bits de poids fort et des bits de poids faible sont destinés à être transmis par au moins un premier et respectivement un deuxième conducteurs électriques, caractérisé en ce que le procédé comprend, sur réception d'un signal d'avertissement d'une transmission inversée de bits, une étape de transmission du bit de poids faible sur 10 le deuxième conducteur électrique et du bit de poids fort sur le premier conducteur électrique.

Enfin, l'invention concerne un support d'enregistrement d'informations, caractérisé en ce qu'il comporte des instructions pour l'exécution d'un procédé de codage du type précité, lorsque ces instructions sont exécutées par un calculateur 15 électronique.

Suivant des modes particuliers de réalisation, le support d'enregistrement d'informations comporte des instructions pour l'exécution d'un procédé de décodage du type précité, lorsque ces instructions sont exécutées par un calculateur électronique.

20 L'invention sera mieux comprise à la lecture de la description qui va suivre, donnée uniquement à titre d'exemple et faite en se référant aux dessins annexés, sur lesquels :

- la figure 1 est un schéma représentant l'architecture d'un codeur selon l'invention ;
- 25 - la figure 2 est un schéma représentatif d'un décodeur selon l'invention ;
- la figure 3 est un schéma schématique d'un système électronique comportant un codeur et un décodeur selon l'invention ;
- la figure 4 est un schéma représentant le taux d'activité des bits sur un bus ;
- 30 - la figure 5 est un diagramme des étapes du procédé de codage et de décodage selon l'invention ;
- la figure 6 est un tableau représentant des exemples de transitions de bits sur deux fils électriques adjacents ;

- la figure 7 est un graphe représentant l'évolution du nombre de transistors en fonction du nombre de bits à traiter pour un codeur selon l'invention et un codeur existant ;

5 - la figure 8 est un graphe représentant le gain en consommation électrique en fonction du nombre de fils électriques d'un bus pour des données de type parole ; et

- la figure 9 est un graphe identique au graphe de la figure 8 pour des données de type image.

10 En référence à la figure 1, le codeur 2 selon l'invention comporte un premier connecteur d'entrée 4 et un premier connecteur de sortie 6 destinés à être connectés à un premier conducteur électrique 12, via un connecteur complémentaire 8, 10.

15 Le codeur 2 comporte en outre un deuxième connecteur d'entrée 14 et un deuxième connecteur de sortie 16 destinés à être connectés à un deuxième fil conducteur 22, via un connecteur complémentaire 18, 20.

Le premier 4 et le deuxième 14 connecteurs d'entrée sont appelés ci-après première et deuxième entrées. De même, le premier 6 et le deuxième 16 connecteurs de sortie sont appelés ci-après première et deuxième sorties.

20 Les premier 12 et deuxième 22 conducteurs électriques sont deux fils électriques adjacents l'un de l'autre par exemple d'un ensemble de fils électriques parallèles, appelés bus parallèles.

Le premier fil électrique 12 est propre à transmettre les bits de poids les plus forts parmi les deux fils électriques du bus représentés sur la figure 1.

25 Le codeur 2 comporte une première 24, une deuxième 26 et une troisième 28 unités de sélection propres à sélectionner deux transitions de bits spatialement inversées sur deux fils adjacents 12, 22, c'est-à-dire un passage d'une valeur de bits de 0 à 1 sur un fil et un passage d'une valeur de bits de 1 à 0 sur l'autre fil au même cycle d'horloge t.

30 La première unité de sélection 24 est formée d'une première porte logique XOR 30, reliée en entrée à la première entrée 4, et d'un registre 32 connecté en entrée à la première sortie 6 et en sortie à la première porte logique 30. La première porte logique est une porte XOR, c'est-à-dire une porte « ou exclusif ».

La deuxième unité de sélection 26 est similaire à la première unité de sélection 24. Elle comprend une deuxième porte logique 34 de type XOR reliée en entrée à la deuxième entrée 14, et un registre 36 connecté en entrée à la deuxième sortie 16 et en sortie à la deuxième porte XOR 34.

5 La première 24, la deuxième 26 et la troisième 28 unités de sélection forment un bloc de sélection.

La troisième unité de sélection 28 comprend une troisième porte logique 40 de type XOR dont une entrée est connectée à la première entrée 4 et dont l'autre entrée est connectée à la deuxième entrée 14, et une quatrième porte logique 42 connectée en entrée aux sorties des première 30, deuxième 34 et troisième 40 portes XOR.

La quatrième porte logique 42 est une porte NAND, c'est à dire une porte « non-et ».

15 Le codeur 2 comporte par ailleurs un premier 44 et un deuxième 46 connecteurs commutables aptes à transmettre certains bits de poids faible sélectionnés par les unités de sélection, sur le fil électrique de transmission de bit de poids fort 12, et certain bits de poids fort sélectionnés par les unités de sélection, sur le fil électrique de transmission du bit de poids faible 22, comme explicité ci-après.

20 Le premier 44 connecteur est formé par un multiplexeur 44 dont les voies A et B sont connectées à la première entrée 4 et respectivement à la deuxième entrée 14. La sortie du multiplexeur 44 est reliée à la première sortie 6.

25 Le deuxième connecteur 46 est formé par un multiplexeur 46 dont les voies A et B sont connectées à la deuxième entrée 14 et respectivement à la première entrée 4. La sortie du multiplexeur 46 est reliée à la deuxième sortie 16.

Les électrodes de commande des multiplexeurs 44 et 46 sont reliées à la sortie de la porte NAND 42.

30 Enfin, le codeur 2 comprend en outre un moyen de connexion 47 relié à la sortie de la porte NAND 42. Le moyen de connexion 47 est destiné à être connecté à un troisième fil électrique 48 qui transmet les bits de valeur égale à 0, générés par cette porte NAND 42 au décodeur 60 selon l'invention.

En référence à la figure 2, le décodeur 60 selon l'invention comprend un premier 62 et un deuxième 64 connecteurs d'entrée, ci-après appelés première et



deuxième entrées ; et un premier 66 et un deuxième 68 connecteurs de sortie ci-après appelés première et deuxième sorties.

La première entrée 62 et la première sortie 66 sont aptes à être connectées au premier fil électrique 12 de transmission de bits de poids fort. La deuxième  
5 entrée 64 et la deuxième sortie 68 sont aptes à être connectées au deuxième fil électrique 22 de transmission de bits de poids faible.

Le décodeur 60 comprend un premier 70 et un deuxième 72 connecteurs commutables formant un bloc de commutation. Les connecteurs 70, 72 sont aptes à adresser au fil électrique 22 les bits de poids faible transmis par le fil électrique  
10 12, et à adresser au fil électrique 12 les bits de poids fort transmis par le fil électrique 22.

Le premier connecteur commutable 70 est constitué par un multiplexeur 70 dont les voies A et B sont reliées à la première 62 et respectivement la deuxième 64 entrées. La sortie du multiplexeur 70 est reliée à la première sortie 66.

De façon similaire, le deuxième connecteur commutable 72 est constitué  
15 par un multiplexeur 72 dont les voies A et B sont reliées à la deuxième 64 et respectivement la première 62 entrées. La sortie du multiplexeur 72 est reliée à la deuxième sortie 68.

Les électrodes de commande des multiplexeurs 70 et 72 sont chacune  
20 reliées à un moyen de connexion 73 destiné à être connecté au troisième fil électrique 48 relié au codeur 2.

En référence à la figure 3, l'invention concerne également un système électronique 74 représenté schématiquement, comprenant un bus de données parallèle 83 muni de huit fils électriques, ainsi que quatre codeurs 75, 76, 77, 78 et  
25 quatre décodeurs 79, 80, 81, 82, tels que décrits ci-dessus. Les codeurs 75, 76, 77, 78 sont reliés chacun à un des décodeurs 79, 80, 81, 82, par une paire de fils électriques 84, 85, 86, 87. Un fil électrique supplémentaire 88, 89, 90, 91 de transmission du signal d'avertissement est relié à chaque codeur et au décodeur auquel le codeur est connecté.

Chaque codeur et chaque décodeur sont aptes à coder et à décoder les  
30 bits transitant sur les fils électriques auxquels ils sont reliés de sorte que l'ensemble des bits transitant sur le bus parallèle 83 est codé et décodé.

Un tel système électronique 74 est tout système comportant un bus de données ou même simplement deux fils électriques. Un tel système est par exemple un ordinateur, un téléphone portable, une machine à laver, un téléviseur un train ou un véhicule automobile.

5 En variante, le système électronique comporte  $2n$  fils électriques,  $n$  codeur et  $n$  décodeurs,  $n$  étant un entier naturel.

En variante, seuls les deux ou les quatre fils électriques de bits de poids les plus faibles parmi les fils électriques de bits du bus 83 sont connectés à un codeur et à un décodeur. En effet comme visible sur la figure 4, le taux d'activité des bits de poids faible est plus important que le taux d'activité des bits de poids fort. En  
10 conséquence, la consommation des  $n/2+1$  bits de poids faible du bus (dénommés bits 7 à 3) représente plus de 80 % de la consommation électrique globale du bus.

En variante, la porte NAND 42 est remplacée par une porte AND, c'est-à-dire une porte « Et ».

15 Lorsque seuls les deux 87 (ou les quatre) fils électriques de bits de poids les plus faibles parmi les fils électriques 84, 85, 86, 87 de bits du bus de données sont connectés à un codeur 78 et à un décodeur 82, le fil électrique de bits de poids le plus fort parmi les deux (ou quatre) fils électriques connectés est considéré comme étant le conducteur électrique de bits de poids fort.

20 En référence aux figures 5 et 6, le procédé de codage de bits débute par une étape 92 de réception au cycle d'horloge  $t$ , d'un bit de poids fort de valeur égale à 0 à la première entrée 4, et d'un bit de poids faible de valeur égale à 1 à la deuxième entrée 14.

Au cours d'une étape 93, la première unité de sélection 24 compare la  
25 valeur du bit de poids fort du cycle d'horloge  $t-1$  à la valeur du bit de poids fort du cycle d'horloge  $t$ . Comme visible sur la figure 6, le bit de poids fort du cycle d'horloge  $t-1$  à une valeur égale à 1, et le bit de poids fort du cycle d'horloge  $t$  à une valeur égale à 0. Ces deux bits ont une valeur différente. En conséquence, la première porte XOR 30 génère un bit de valeur égale à 1 à sa sortie.

30 Au cours d'une étape 94, la première unité de sélection 26 compare la valeur du bit de poids faible du cycle d'horloge  $t-1$  à la valeur du bit de poids faible du cycle d'horloge  $t$ . Comme visible sur la figure 6, ces deux bits ont des valeurs

différentes et donc, la deuxième porte XOR 34 génère un bit de valeur égale à 1 à sa sortie.

5 Au cours d'une étape 95, la troisième unité de sélection 28 compare la valeur du bit de poids fort du cycle d'horloge t à la valeur du bit de poids faible du cycle d'horloge t. Ces deux bits ont des valeurs différentes et donc, la troisième porte XOR 40 génère un bit de valeur égale à 1 à sa sortie.

10 Au cours d'une étape 96, la quatrième porte NAND 42 compare les valeurs des bits générées par les première 30, deuxième 34 et troisième 40 portes XOR. La quatrième porte NAND 42 génère un bit de valeur égale à 0 car dans ce cas, toutes ces valeurs sont égales à 1. Ce bit est transmis aux électrodes de commande des multiplexeurs 44 et 46.

Sur réception de ce bit de valeur égale à 0, le multiplexeur 44 transmet le bit de poids faible provenant de la deuxième entrée 14 à la première sortie 6, au cours d'une étape 97.

15 Sur réception de ce bit de valeur égale à 0, le multiplexeur 46 transmet le bit de poids fort provenant de la première entrée 4 à la deuxième sortie 16, au cours de l'étape 97.

20 Au cours d'une étape 98, le troisième fil électrique 48 transmet le bit de valeur égale à 0 du cycle d'horloge t issu de la porte NAND 42 au décodeur 60. Ce bit constitue un signal d'avertissement d'une transmission spatialement inversée de bits.

Le comportement du codeur 2 est représenté par l'équation suivante :

$$(12(t-1) \text{ XOR } 12(t)) \text{ and } (12(t) \text{ XOR } 22(t)) \text{ and } (22(t-1)) \text{ XOR } 22(t) = 1$$

25 Au cours d'une étape 99, le décodeur 60 réceptionne le signal d'avertissement, ainsi que le bit de poids fort du cycle d'horloge t sur le fil électrique de transmission de bit de poids faible, et le bit de poids faible du cycle d'horloge t sur le fil électrique de transmission de bit de poids fort.

30 Au cours d'une étape 100, le multiplexeur 70 commandé par le signal d'avertissement adresse le bit de poids fort issu de la deuxième entrée 64 à la première sortie 66. Parallèlement, le multiplexeur 72 commandé par le signal d'avertissement adresse le bit de poids faible issu de la première entrée 62 à la deuxième sortie 68.

Autrement dit, le multiplexeur 44 transmet le bit de poids fort transmis par le premier fil 12, c'est-à-dire le fil de transmission de bits de poids fort, sur le deuxième fil 22. De même, le multiplexeur 46 transmet le bit de poids faible transmis par le deuxième fil 22, c'est à dire le fil de transmission de bits de poids faible, sur le premier fil 12.

Ainsi, le procédé de codage adresse un bit de poids faible sur le fil électrique de transmission de bits de poids fort, et un bit de poids fort sur le fil électrique de transmission de bits de poids faible lorsque deux fils adjacents comportent des transitions de bits spatialement inversées.

Une autre transition croisée est illustrée sur la figure 6, au cycle d'horloge  $t+p$  et  $t+p+1$ . Le procédé de décodage effectue une transmission inverse pour rétablir l'ordre correct des bits.

Lorsque le procédé de codage n'est pas appliqué à deux transitions de bits spatialement inversées sur deux fils adjacents, comme par exemple au cycle d'horloge  $t-p+1$ , la première unité de sélection 24 compare la valeur du bit de poids fort du cycle d'horloge  $t-p+1$  à la valeur du bit de poids fort du cycle d'horloge  $t-p$ . Comme visible sur la figure 6, ces deux bits ont la même valeur et donc, la première porte XOR 30 génère un bit de valeur égale à 0 à sa sortie.

La deuxième unité de sélection 26 compare alors la valeur du bit de poids faible du cycle d'horloge  $t-p+1$  à la valeur du bit de poids faible du cycle d'horloge  $t-p$ . Comme visible sur la figure 6, ces deux bits ont des valeurs différentes et donc, la deuxième porte XOR 34 génère un bit de valeur égale à 1 à sa sortie.

La troisième porte XOR 40 compare la valeur du bit de poids fort du cycle d'horloge  $t-p+1$  à la valeur du bit de poids faible du cycle d'horloge  $t-p+1$ . Comme ces valeurs sont identiques, l'unité de sélection 28 génère un bit de valeur égale à 0 à sa sortie.

Comme la porte NAND 42 reçoit en entrée deux bits de valeur nulle et un bit de valeur 1, elle génère à sa sortie un bit de valeur 1.

Le multiplexeur 44 transmet le bit de poids fort transmis par le fil 12, c'est-à-dire le fil de transmission de bits de poids fort, sur ce même fil 12. Autrement dit, le multiplexeur 44 connecte la première entrée 4 à la première sortie 6.

De même, le multiplexeur 46 transmet le bit de poids faible transmis par le fil 22, c'est-à-dire le fil de transmission de bits de poids faible, sur ce même fil 22.

Autrement dit, le multiplexeur 46 connecte la deuxième entrée 14 à la deuxième sortie 16.

Le décodeur 60 ne réceptionne pas de signal d'avertissement de sorte que le multiplexeur 70 connecte la première entrée 62 à la première sortie 66 et que le deuxième multiplexeur 72 connecte la deuxième entrée 64 à la première sortie 68.

La figure 7 représente un graphe illustrant la complexité d'un codeur - décodeur en fonction du nombre de fils électriques du bus. La complexité d'un codeur-décodeur représente le nombre de transistors, rajoutés au système électronique par l'ajout du codeur et du décodeur.

Sur la figure 7, la ligne 104 représente la complexité pour un codeur-décodeur selon l'invention et la ligne 102 représente la complexité pour un codeur décodeur de type « bus invert ».

Comme visible sur ce graphe, plus le nombre de fils électriques du bus est important, plus le codeur-décodeur de type « bus invert » nécessite un nombre important de transistors. Ces transistors consomment eux aussi de l'énergie électrique. Ceci amoindrit le gain en consommation électrique globale de ce codeur-décodeur.

Les figures 8 et 9 représentent des gains en consommation électrique sur le bus en fonction du nombre de fils électriques connectés à un codeur-décodeur selon l'invention et à un codeur décodeur de type « bus invert ».

En particulier, la figure 8 représente le gain pour des données de type parole, alors que la figure 9 représente le gain pour des données de type image.

Sur la figure 8, le gain en consommation électrique sur le bus muni des codeurs-décodeurs selon l'invention, illustré par la courbe 106, est supérieur au gain en consommation électrique sur le bus muni des codeurs-décodeurs de type « bus invert » illustré par la courbe 108, lorsque le nombre de fils électriques par bus est supérieur à dix fils électriques.

Ces courbes 106, 108 ne tiennent pas compte de la consommation électrique des composants électroniques des codeurs-décodeurs. Lorsqu'il est tenu compte de cette consommation, le gain en consommation électrique sur le bus muni des codeurs-décodeurs selon l'invention est supérieur au gain sur le bus muni des codeurs-décodeurs de type « bus invert » pour un nombre de fils

inférieur à dix fils car la complexité des codeurs décodeurs selon l'invention est inférieure à celle des codeurs-décodeurs de type « bus invert ».

5 Contrairement au gain en consommation électrique d'un bus muni de codeurs-décodeurs du type « bus invert », le gain en consommation électrique d'un bus muni de codeurs-décodeurs selon l'invention atteint et reste à une valeur maximale lorsque quatorze ou plus de quatorze fils électriques du bus sont connectés à des codeurs-décodeurs selon l'invention.

10 Sur la figure 9, le gain en consommation électrique sur le bus muni des codeurs-décodeurs selon l'invention, illustré par la courbe 110, est supérieur au gain en consommation électrique sur le bus muni des codeurs-décodeurs de type « bus invert » illustré par la courbe 112, lorsque le nombre de fils électriques par bus est supérieur à six fils électriques.

15 Les courbes 110 et 112 ne tiennent pas compte de la consommation électrique des composants des codeurs-décodeurs. De même, contrairement au gain en consommation électrique d'un bus muni de codeurs-décodeurs de type « bus invert », le gain en consommation électrique d'un bus muni de codeurs-décodeurs selon l'invention atteint et reste à une valeur maximale lorsque six ou plus de six fils électriques du bus sont connectés à des codeurs-décodeurs selon l'invention.

20 Avantageusement, le codeur et le décodeur selon l'invention permettent d'augmenter le gain en consommation électrique des systèmes électroniques, et en particulier des systèmes comprenant des bus ayant un grand nombre de fils électriques.

25 En variante, le codeur et/ou le décodeur est réalisé à partir d'un micro contrôleur comprenant une mémoire dans laquelle un logiciel est enregistré, le logiciel comprenant une partie ou bloc de logiciel de sélection et une partie ou bloc de logiciel de commutation.

30 Ce mode de réalisation n'est avantageux d'un point de vue de la consommation en électricité que lorsque ce micro contrôleur est partagé, c'est-à-dire lorsqu'il réalise également d'autres fonctions au sein du système électronique.

L'invention concerne donc également un support d'enregistrement d'informations qui comporte des instructions pour l'exécution du procédé de

codage et/ou du procédé de décodage, lorsque ces instructions sont exécutées par un micro contrôleur.

## REVENDEICATIONS

1.- Codeur (2) comprenant une première (4) et une deuxième (14) entrées destinées à être connectées à un conducteur électrique de bits de poids faible (12) et respectivement à un conducteur électrique de bits de poids fort (22), une première (6) et une deuxième (16) sorties destinées à être connectées à un  
 5 conducteur électrique de bits de poids faible (12) et respectivement à un conducteur électrique de bits de poids fort (22), le codeur (2) comportant un bloc de sélection (24, 26, 28) apte à sélectionner un bit de poids fort et un bit de poids faible, caractérisé en ce que le codeur (2) comprend :

- un bloc de commutation (44, 46) apte à relier d'une part la première  
 10 entrée (4) à la première sortie (6), et d'autre part la deuxième entrée (14) à la deuxième sortie (16), le bloc de commutation (44, 46) étant apte à être commuté pour relier la première entrée (4) à la deuxième sortie (6) et la deuxième entrée (14) à la première sortie (16), lorsque le bloc de sélection (24, 26, 28) a sélectionné un bit de poids faible et un bit de poids fort ; et

15 - des moyens de transmission (48) d'un signal d'avertissement d'une transmission inversée de bits.

2.- Codeur (2) selon la revendication 1, dans lequel le bloc de sélection (24, 26, 28) comprend :

- une première unité de sélection (24) apte à sélectionner au moins un bit  
 20 de poids fort du cycle d'horloge t ayant une valeur différente de la valeur du bit du cycle d'horloge t-1 transmis par la première sortie (6) ;

- une deuxième unité de sélection (26) apte à sélectionner au moins un bit de poids faible du cycle d'horloge t ayant, une valeur différente de la valeur du bit du cycle d'horloge t-1 transmis après la deuxième sortie (16) ; et

25 - une troisième unité de sélection (28) apte à sélectionner parmi les bits sélectionnés par la première (24) et la deuxième (26) unités de sélection, un bit de poids fort et un bit de poids faible, le bit de poids fort du cycle d'horloge t ayant une valeur différente de la valeur du bit de poids faible du cycle d'horloge t.

3.- Codeur (2) selon la revendication 2, dans lequel la première unité de  
 30 sélection (24) comprend une première porte logique (30) connectée à la première entrée (4) du codeur, et un premier registre (32) connecté à la première sortie (6) du codeur (12) et à la première porte logique (30), le premier registre (32) étant



apte à mémoriser la valeur du bit du cycle d'horloge t-1 transmis par la première sortie (6), la première porte logique (30) étant apte à comparer la valeur du bit mémorisé dans le registre au bit de poids fort du cycle d'horloge t reçu par la première entrée (4).

5           4.- Codeur (2) selon l'une quelconque des revendications 2 et 3, dans lequel la deuxième unité de sélection (26) comprend une deuxième porte logique (34) connectée à la deuxième entrée (14) du codeur, et un deuxième registre (36) connecté à la deuxième sortie (16) du codeur et à la deuxième porte logique (34), le deuxième registre (36) étant apte à mémoriser la valeur du bit du cycle  
10 d'horloge t-1 transmis par la deuxième sortie (16), la deuxième porte logique (34) étant apte à comparer la valeur du bit mémorisé dans le registre (36) à la valeur du bit de poids fort du cycle d'horloge t reçu par la deuxième entrée (14).

5.- Codeur (2) selon l'une quelconque des revendications 2 à 4, dans lequel la troisième unité de sélection (28) comporte :

15           - une troisième porte logique (40) connectée à la première (4) et à la deuxième (14) entrées du codeur, la troisième porte logique (40) étant apte à comparer, la valeur du bit de poids faible du cycle d'horloge t à la valeur du bit de poids fort du cycle d'horloge t ; et

20           - une quatrième porte logique (42) connectée aux première (24), deuxième (26) et troisième (28) unités de sélection, ladite quatrième porte logique (42) étant propre à générer un bit de valeur prédéfinie lorsque les première (24), deuxième (26) et troisième (28) unités de sélection ont sélectionné un bit de poids fort et un bit de poids faible au cycle d'horloge t.

25           6.- Codeur (2) selon l'une quelconque des revendications précédentes, dans lequel le bloc de sélection (24, 26, 28) est apte à générer un bit de valeur prédéfinie lorsqu'il sélectionne un bit de poids faible et un bit de poids fort, le bloc de commutation (44, 46) comportant un premier (44) et un deuxième (46) connecteurs, la commutation desdits connecteurs étant commandée par le bit généré le bloc de sélection (24, 26, 28)

30           7.- Codeur (2) selon l'une quelconque des revendications précédentes, dans lequel les moyens de transmission (47, 48) comportent un moyen de connexion (47) destiné à être connecté à un conducteur électrique supplémentaire (48), ledit moyen de connexion (47) étant relié à la sortie du bloc de sélection (24,

26, 28), le signal d'avertissement étant un bit de valeur prédéfinie généré par le bloc de sélection (24, 26, 28).

8.- Décodeur (60) destiné à décoder les bits codés par le codeur (2) selon l'une quelconque des revendications 1 à 7, le décodeur (60) comprenant une première (62) et une deuxième (64) entrées destinées à être connectées à un conducteur électrique de bits de poids faible (12) et respectivement à un conducteur de bits poids fort (22), une première (66) et une deuxième (68) sorties destinées à être connectées à un conducteur électrique de bits de poids faible (12) et respectivement d'un conducteur de bits de poids fort (22),

caractérisé en ce qu'il comprend un bloc de commutation (70, 72) apte à relier d'une part la première entrée (62) à la première sortie (66), et d'autre part la deuxième entrée (64) à la deuxième sortie (68), le bloc de commutation (70, 72) étant apte à être commuté pour relier la première entrée (62) à la deuxième sortie (68) et la deuxième entrée (64) à la première sortie (66), lorsque le bloc de commutation (70, 72) réceptionne un signal d'avertissement d'une transmission inversée de bits du codeur, ledit signal d'avertissement étant transmis par le codeur (2).

9.- Décodeur (60) selon la revendication 8, dans lequel le bloc de commutation (70, 72) comporte un premier (70) et un deuxième (72) connecteurs ayant chacun une électrode de commande destinée à être commandée par le signal d'avertissement transmis par le codeur (2).

10.- Système électronique (74) caractérisé en ce qu'il comprend au moins un codeur (75, 76, 77, 78) selon l'une quelconque des revendications 1 à 7, un décodeur (79, 80, 81, 82) selon l'une quelconque des revendications 8 et 9, et bus de données (83) comprenant au moins  $2n$  conducteurs électriques (84, 85, 86, 87),  $n$  étant un entier naturel, au moins deux conducteurs électriques (87) de bits de poids les plus faibles du bus de données (83) étant connectés à un ou chaque codeur (75, 76, 77, 78) et au décodeur (79, 80, 81, 82) .

11.- Procédé de codage de bits transmis par au moins un premier (12) et un deuxième (22) conducteurs électriques aptes à transmettre des bits de poids fort et respectivement des bits de poids faible, le procédé comprenant une étape de sélection (93, 94, 95, 96) au cycle d'horloge  $t$  d'un bit de poids faible et d'un bit de poids fort, caractérisé en ce qu'il comprend en outre les étapes suivantes :

- transmettre (97) le bit de poids fort et le bit de poids faible sélectionnés sur le deuxième (22) et respectivement le premier (12) conducteurs électriques ; et  
 - transmettre (98) un signal d'avertissement d'une transmission inversée de bits.

5 12.- Procédé de codage de bits selon la revendication 11, dans lequel l'étape de sélection comprend les étapes suivantes :

a) sélectionner (93) au moins un bit de poids faible du cycle d'horloge t ayant une valeur différente de la valeur d'un bit de poids faible du cycle d'horloge t-1 ;

10 b) sélectionner (94) au moins un bit de poids fort du cycle d'horloge t ayant une valeur différente de la valeur d'un bit de poids fort du cycle d'horloge t-1 ;

c) parmi les bits sélectionnés aux étapes a) et b), sélectionner (95, 96) un bit de poids faible et un bit de poids fort, le bit de poids fort du cycle d'horloge t ayant une valeur différente du bit de poids faible du cycle d'horloge t.

15 13.- Procédé de décodage de bits codés selon le procédé de codage de l'une quelconque des revendications 11 et 12, dans lequel des bits de poids fort et des bits de poids faible sont destinés à être transmis par au moins un premier (12) et respectivement un deuxième (22) conducteurs électriques, caractérisé en ce que le procédé comprend, sur réception (99) d'un signal d'avertissement d'une  
 20 transmission inversée de bits, une étape de transmission (100) du bit de poids faible sur le deuxième conducteur électrique (22) et du bit de poids fort sur le premier conducteur électrique (12).

14.- Support d'enregistrement d'informations, caractérisé en ce qu'il comporte des instructions pour l'exécution d'un procédé de codage conforme à  
 25 l'une quelconque des revendications 11 et 12, lorsque ces instructions sont exécutées par un calculateur électronique.

15.- Support d'enregistrement d'informations, caractérisé en ce qu'il comporte des instructions pour l'exécution d'un procédé de décodage conforme à la revendication 13, lorsque ces instructions sont exécutées par un calculateur  
 30 électronique.

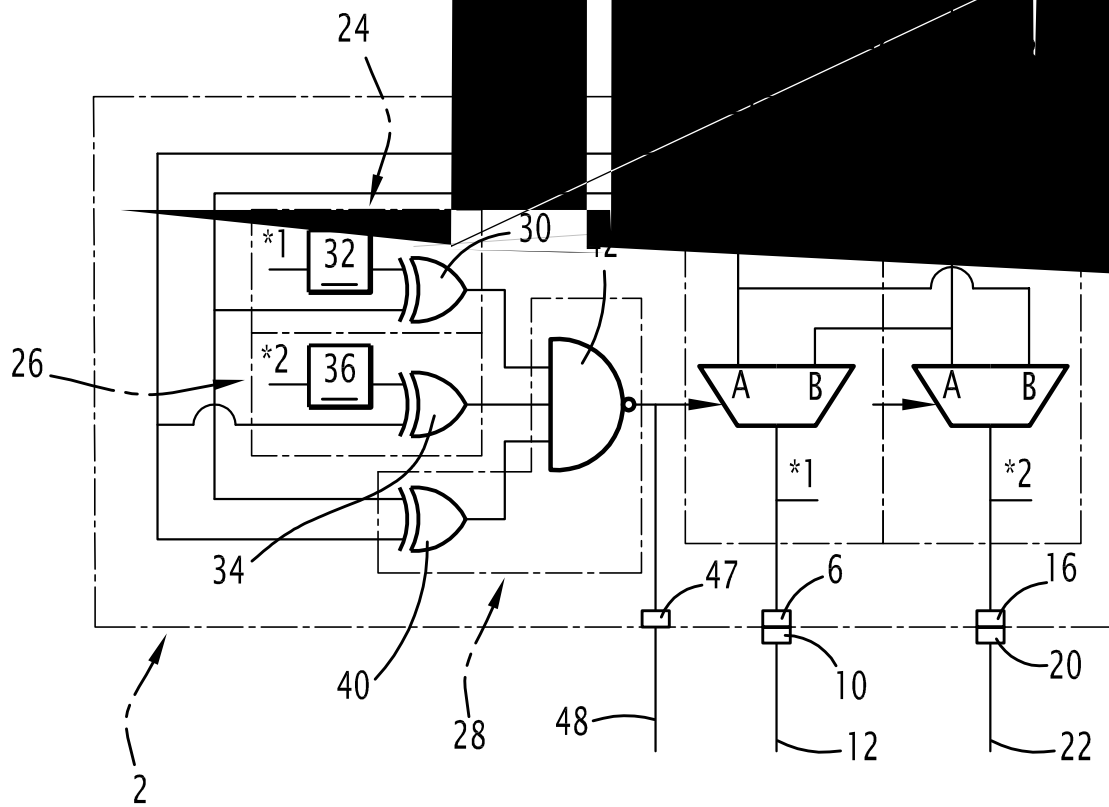
**ABREGE****Procédé et dispositif de codage, système électronique et support  
d'enregistrement associés.**

L'invention concerne un codeur (2) comprenant une première (4) et une deuxième (14) entrées, ainsi qu'une première (6) et une deuxième (16) sorties, le codeur (2) comportant un bloc de sélection (24, 26, 28) apte à sélectionner un bit de poids fort et un bit de poids faible.

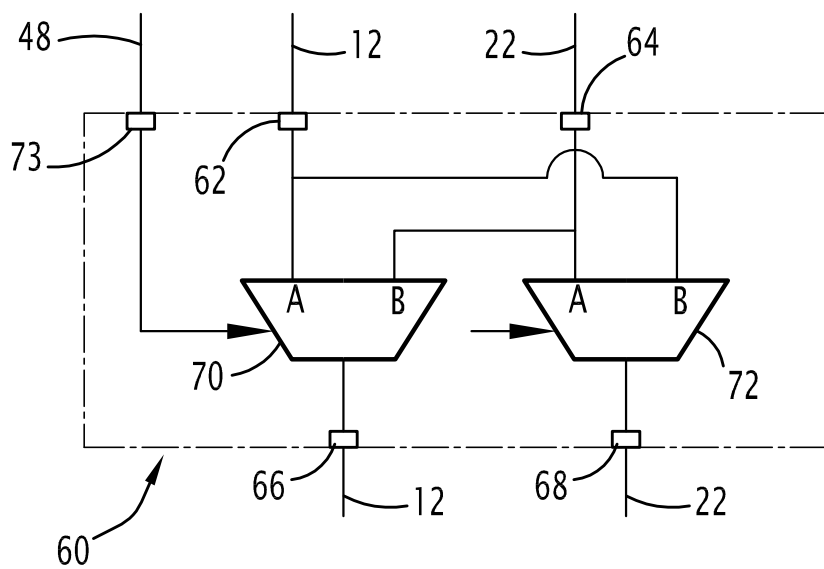
Le codeur (2) comprend un bloc de commutation (44, 46) apte à relier la première entrée (4) à la première sortie (6), et la deuxième entrée (14) à la deuxième sortie (16), le bloc de commutation (44, 46) étant apte à être commuté pour relier la première entrée (4) à la deuxième sortie (6) et la deuxième entrée (14) à la première sortie (16), lorsque le bloc de sélection (24, 26, 28) a sélectionné un bit de poids faible et un bit de poids fort.

L'invention concerne également un décodeur, un support d'enregistrement et un système électronique.

Figure 1



**FIG. 1**



**FIG. 2**

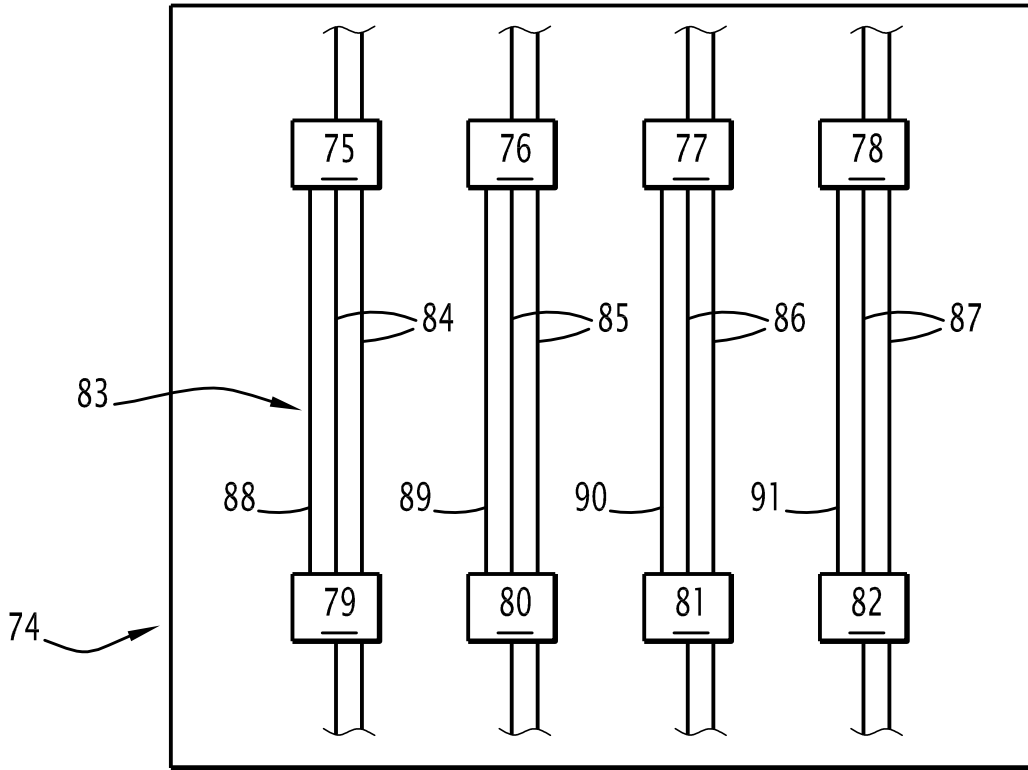


FIG.3

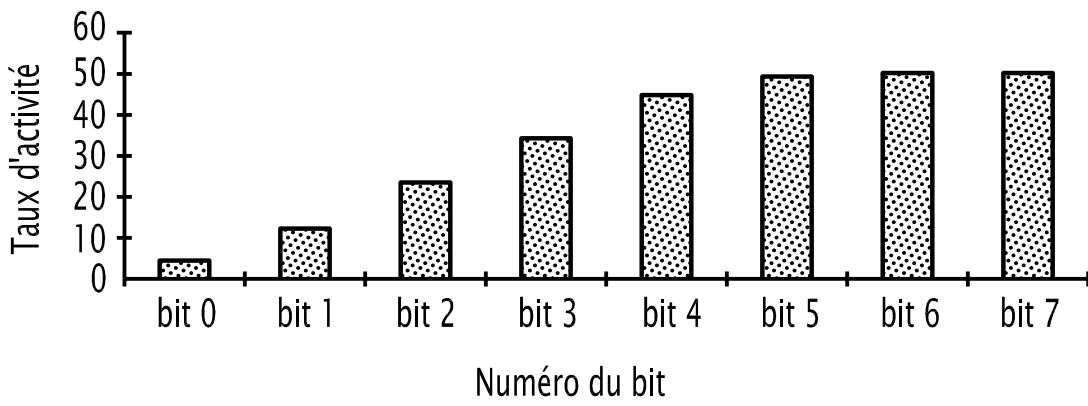
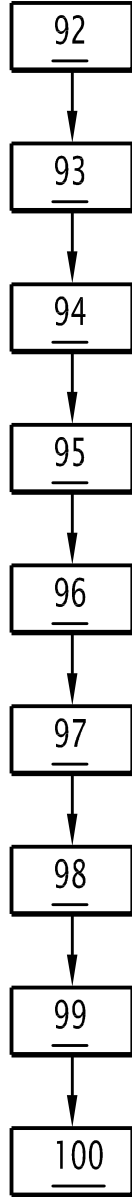
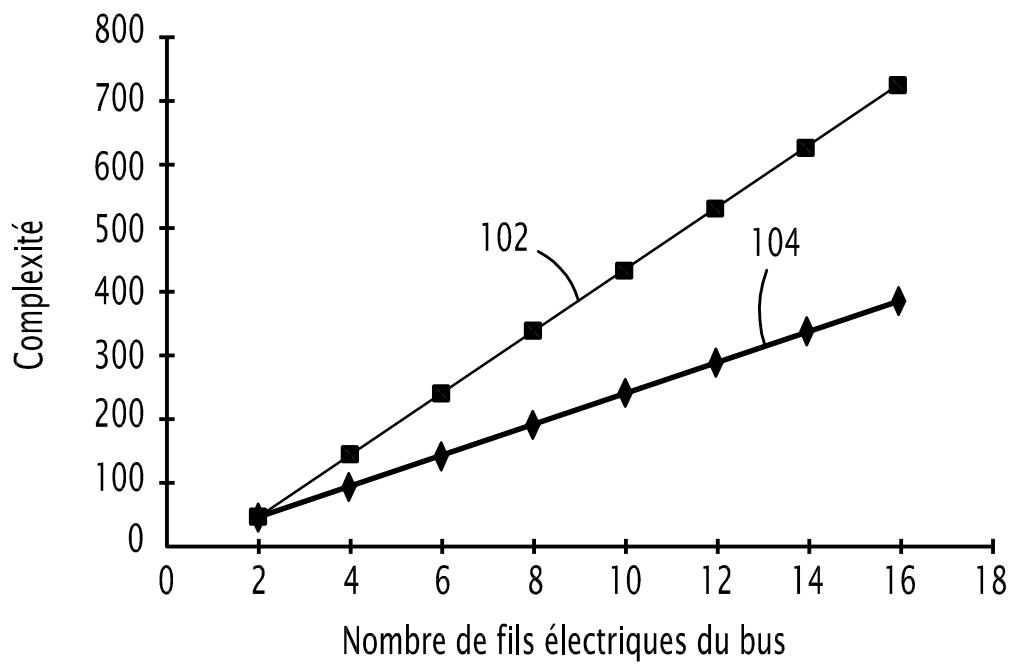


FIG.4

FIG.5



Cycle	Fil 12	Fil 22
$t - p$	1	0
$t - p + 1$	1	1
⋮	⋮	⋮
$t - 1$	1	0
$t$	0	1
⋮	⋮	⋮
$t + p$	0	1
$t + p + 1$	1	0
⋮	⋮	⋮

FIG.6FIG.7



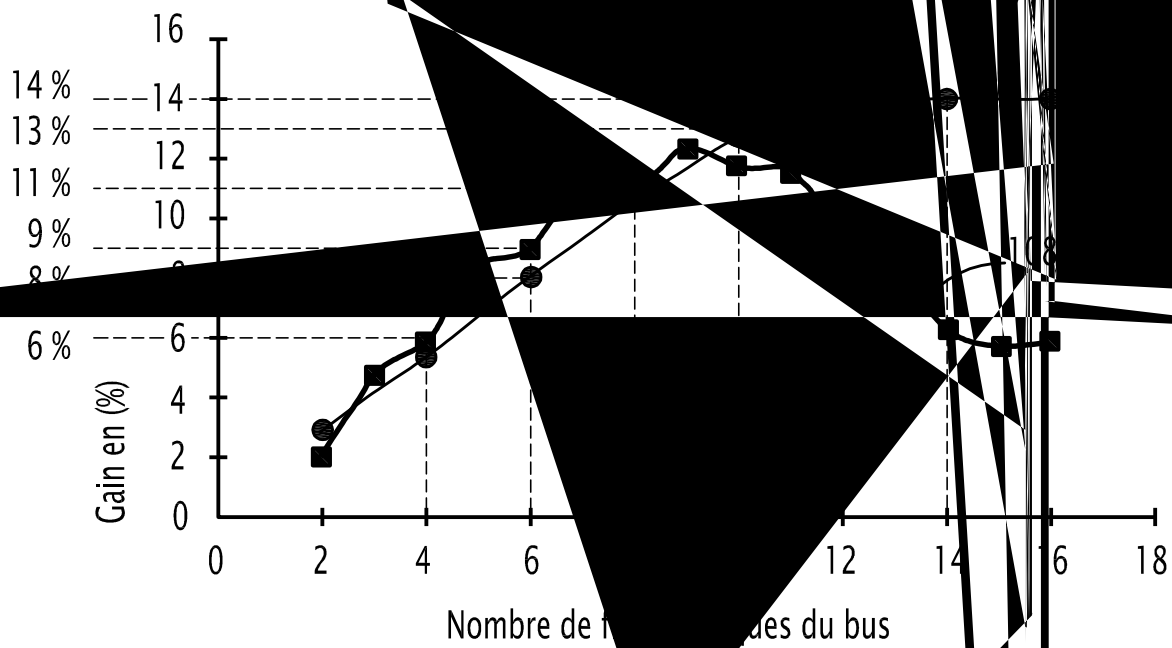


FIG.8

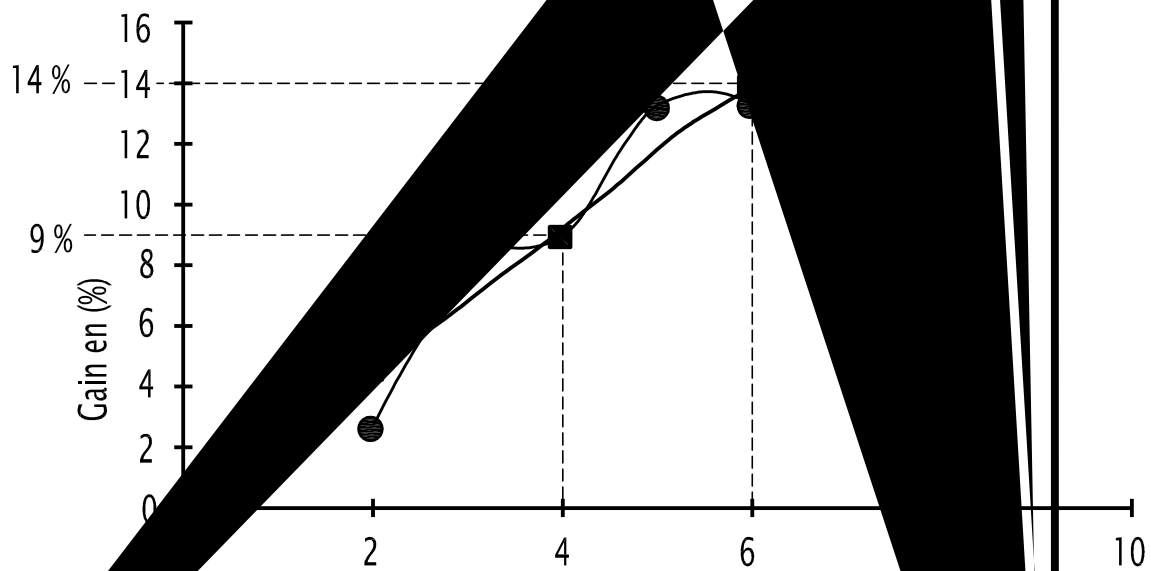


FIG.9